

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-250735

(43)Date of publication of application : 08.11.1991

(51)Int.Cl.

H01L 21/3205
H01L 21/82
H01L 27/04
H01L 27/118

(21)Application number : 02-047976

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing :

28.02.1990

(72)Inventor : MORITA AKIO

(54) SEMICONDUCTOR DEVICE

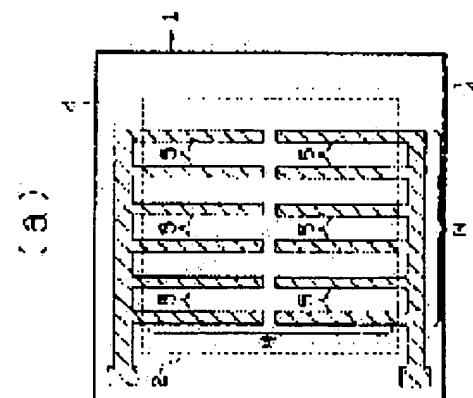
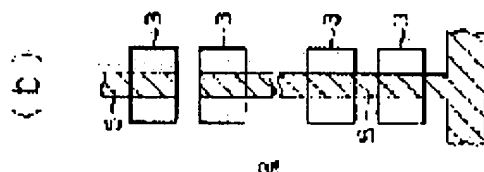
(57)Abstract:

PURPOSE: To easily estimate the power-supply drop value of a power-supply interconnection and to make an internal level easily uniform by a method wherein the power-supply drop value of the power-supply interconnection is changed nearly linearly with reference to an interconnection length.

CONSTITUTION: An internal cell region 2 on a substrate 1 is provided with internal cells 3 of M lines and N rows.

Power-supply interconnections 5 of the same power supply are installed so as to be extended from one pair of input/output cell regions 4 faced in the line direction of the internal cell regions 2 up to at least one or more maximum (M-1)-th internal cells 3. As a result, the power-supply interconnections 5 with reference to the

individual internal cells 3 are formed without being missed and the power-supply interconnections 5 extended from one pair of faced input/output cell regions 4 are formed so as not to be crossed. In this manner, the power-supply drop value of the power-supply interconnections 5 is changed nearly linearly with reference to an interconnection length. Thereby, the power-supply drop value of the power-supply interconnections 5 can be estimated easily, a discrepancy between an initially estimated power-supply drop value and an actual power-supply drop value can be reduced, and an internal level can be made easily



uniform.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平3-250735

⑫ Int.Cl.⁹

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)11月8日

H 01 L 21/3205
21/82
27/04
27/118

D 7514-5F

6810-5F H 01 L 21/88
8225-5F 21/82
8225-5FZ
L
M

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 平2-47976

⑯ 出 願 平2(1990)2月28日

⑰ 発 明 者 森 田 晃 生 愛知県春日井市高蔵寺町2丁目1844番2 富士通グイエル
エスアイ株式会社内

⑱ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑲ 出 願 人 富士通グイエルエス
アイ株式会社 愛知県春日井市高蔵寺町2丁目1844番2

⑳ 代 理 人 弁理士 井 桁 貞一 外2名

明 細 書

1. 発明の名称

半導体装置

を交差しないように形成したことを特徴とする半
導体装置。

3. 発明の詳細な説明

2. 特許請求の範囲

基板(1)上の内部セル領域(2)に内部セル(3)をM行N列形成し、基板(1)外周の入出力セル領域(4)から内部セル領域(2)に同一電源の電源配線(5)を形成して各内部セル(3)に電源を供給するようにした半導体装置において、前記電源配線(5)を内部セル領域(2)の行方向において対向する一対の入出力セル領域(4)からそれぞれ少なくとも1個以上最大(M-1)個目の内部セル(3)まで、又は内部セル領域(2)の列方向において対向する一対の入出力セル領域(4)からそれぞれ少なくとも1個以上最大(N-1)個目の内部セル(3)まで延設するとともに、各内部セル(3)に対する電源配線(5)の配線幅がなく、かつ、対向する一対の入出力セル領域(4)から延びる電源配線(5)

[概要]

半導体装置に係り、詳しくは内部セル領域の各内部セルに対して電源を供給する電源配線に関し、電源配線の電源ドロップ値を配線長に対してほぼ線形的に変化させることにより、電源配線の電源ドロップ値を見込み易くすることができるとともに、当初見込んだ電源ドロップ値と実際の電源ドロップ値とのずれを小さくすることができ、さらに内部レベルの均一化を容易に行うことができる半導体装置を提供することを目的とし、

基板上の内部セル領域に内部セルをM行N列形成し、基板外周の入出力セル領域から内部セル領域に同一電源の電源配線を形成して各内部セルに電源を供給するようにした半導体装置において、前記電源配線を内部セル領域の行方向において対

特開平3-250735(2)

向する一対の入出力セル領域からそれぞれ少なくとも1個以上最大($M-1$)個目の内部セルまで、又は内部セル領域の列方向において対向する一対の入出力セル領域からそれぞれ少なくとも1個以上最大($N-1$)個目の内部セルまで延設するとともに、各内部セルに対する電源配線の配線漏れがなく、かつ、対向する一対の入出力セル領域から延びる電源配線を交差しないように形成した。

【産業上の利用分野】

本発明は半導体装置に係り、詳しくは内部セル領域の各内部セルに対して電源を供給する電源配線に関するものである。

近年のゲートアレイ等の半導体装置は、ますます大規模で高集積なものが要求されている。そのため、大規模化、高集積化されても十分な電源マージンをもって半導体装置を動作させる必要がある。

【従来の技術】

ブ値と大きくずれることがあり、そのずれ分だけ電源マージンが低下するという問題点があった。

本発明は上記問題点を解決するためになされたものであって、その目的は電源配線の電源ドロップ値を配線長に対してほぼ線形的に変化させることにより、電源配線の電源ドロップ値を見込み易くすることができるのと同時に、当初見込んだ電源ドロップ値と実際の電源ドロップ値とのずれを小さくすることができ、さらに内部レベルの均一化を容易に行うことができる半導体装置を提供することにある。

【課題を解決するための手段】

第1図(a)、(b)に本発明の一態様における原理説明図を示す。

基板1上の内部セル領域2はM行N列の内部セル3を備えている。同一電源の電源配線5は内部セル領域2の行方向において対向する一対の入出力セル領域4からそれぞれ少なくとも1個以上最大($M-1$)個目の内部セル3まで延設されると

従来のゲートアレイとして、第8図に示すように基板21の内部セル領域22の上下の対向する一対の入出力セル領域23を結ぶように同一電源の電源配線24を配線したり、第10図に示すように内部セル領域22上に同一電源の電源配線25をメッシュ状に配線したりしていた。そして、これらのゲートアレイについて、予め電源シミュレーションを行い、その結果に基づいて電源配線24、25の電源ドロップの大きい場所と小さい場所の内部レベルが均一になるように、電源配線24、25に接続される抵抗の値を調整していた。

【発明が解決しようとする課題】

ところが、上記各電源配線24、25では内部セル領域22におけるマクロの配置方法により電流の流れ方に色々なケースが発生し、電源配線24、25の電源ドロップ値は配線長に対して非線形的に変化する。このため、特に消費電力の大きなマクロが集中して配置された場合、電源配線の電源ドロップ値は当初見込んでいた電源ドロップ

とともに、各内部セル3に対する電源配線5の配線漏れがなく、かつ、対向する一対の入出力セル領域4から延びる電源配線5が交差しないように形成されている。

【作用】

内部セル領域2において対向する一対の入出力セル領域4から延びる同一電源の各電源配線5が電源供給を受け持つ内部セル3のセル数が1個以上最大($M-1$)個の範囲で決まっており、各電源配線5には割当てられたセル数の内部セル3に流れる電流以外の流れ込みがない。従って、各電源配線5の電源ドロップ値の見込みが容易になり、内部レベルの均一化も容易になる。

【実施例】

以下、本発明をゲートアレイに具体化した一実施例を第2～8図に従って説明する。

尚、説明の便宜上、第1図と同様の構成については同一の符号を付して説明を一部省略する。

特開平3-250735(3)

第2図は基板1のほぼ4分の1の部分を示しており、内部セル領域2には上側の入出力セル領域4Aから電源VCC(正電源)の複数の電源配線6が縦方向に延設され、各電源配線6は図示しない内部セル領域2下側の入出力セル領域から延びる他の同一電源の電源配線とは交わらない。又、内部セル領域2の左側の入出力セル領域4Bから電源VEE1(負電源)の複数の電源配線7、及び電源VEE2(負電源)の複数の電源配線8が前記電源配線6と異なる配線層において横方向に延設され、各電源配線7、8も図示しない内部セル領域2右側の入出力セル領域から延びる他の同一電源の電源配線とは交わらない。

前記複数の電源配線7、8の電源下において内部セル領域2には内部セル9がm行n列形成されるとともに、同じく電源配線7、8の電源下において入出力セル領域4Bにはそれぞれ電源VEE1、VEE2に対する電源変動補償親バイアスセル10、11が形成されている。これらの電源変動補償親バイアスセル10、11からは、行方向(横方向)

にあるn個の各内部セル9に対して基準バイアスレベルVRCM1、VRCM2を供給する供給配線12、13が設けられている。

第3図は電源変動補償親バイアスセル10、11と内部セル9との関係を示すものであり、内部セル9は子バイアスセル14、15とゲート回路16とからなり、子バイアスセル14は供給配線17、18を介してゲート回路16に基準バイアスレベルVBB、VCS1を供給し、子バイアスセル15は供給配線19を介してゲート回路16に基準バイアスレベルVCS2を供給するようになっている。子バイアスセル14は第4図に示すように、電源配線6、7間に設けられた抵抗R1～R3、トランジスタT1～T3及びダイオードD1、D2からなり、子バイアスセル15は第5図に示すように、電源配線6、8間に設けられたトランジスタT4、ダイオードD3及び抵抗R4からなる。又、ゲート回路16は第6図に示すように、電源配線6～8間に設けられた抵抗R5～R9及びトランジスタT5～T9からなる。

このように、本実施例では電源VCCの各電源配線6は縦方向に延設され、各電源配線6は入出力セル領域4Aから引き出されるだけで、他の同一電源の電源配線とは内部セル領域2では交わらず、各電源配線6には割当てられた所定数の内部セル9に流れる電流以外の流れ込みがない。このため、第2図において1、2、3、・・・、m-1、m番目の各内部セル9までの電源配線6による電源ドロップ値をほぼ直線的に大きくすることができ、内部セル9に掛かる電源VCCは第7図に示すようにほぼ直線的に低くなる。

又、電源VEE1の各電源配線7、及び電源VEE2の各電源配線8についても入出力セル領域4Bから引き出されるだけで、それぞれ他の同一電源の電源配線とは内部セル領域2では交わらず、各電源配線7、8には割当てられた所定数の内部セル9に流れる電流以外の流れ込みがない。このため、第2図において1、2、3、・・・、n-1、n番目の各内部セル9までの電源配線7、8による電源ドロップ値をほぼ直線的に大きくすることができ、

内部セル9に掛かる電源VEE1、VEE2の電圧も第8図に示すようにほぼ直線的に高くなる。従って、各電源配線6～8の電源ドロップ値の見込みを容易に行うことができる。

又、各電源配線6～8の電源ドロップ値の見込みが容易になることにより、内部レベルの均一化も容易になる。即ち、内部セル領域の基準バイアスレベルVBB、VCS1、VCS2、内部出力レベルVOUTのハイ及びローレベルを均一化するためには、電源VCCの電源配線6につながる抵抗R1(第4図)、抵抗R5(第6図)、電源VEE1の電源配線7につながる抵抗R2、R3(第4図)、抵抗R8(第6図)、及び電源VEE2の電源配線8につながる抵抗R4(第5図)、抵抗R9(第6図)を各電源配線6～8の電源ドロップ値に応じて調整してやればよい。第2図の例では抵抗R1、R5を1、2、3、・・・、m-1、m行毎に、抵抗R2、R3、R4、R8、R9を1、2、3、・・・、n-1、n列毎に調整を行えばよい。

尚、上記実施例では電源VCCの電源配線6を縦

特開平3-250735 (4)

方向に、電源 V_{EE1} 、 V_{EE2} の電源配線 7、8 を横方向にし、電源変動補償用バイアスセル 10、11 を基板 1 の左右に配置しているが、電源配線 6 を横方向に、電源配線 7、8 を縦方向にし、電源変動補償用バイアスセル 10、11 を基板 1 の上下に配置してもよい。

〔発明の効果〕

以上詳述したように、本発明によれば電源配線の電源ドロップ値を配線長に対してほぼ線形的に変化させることにより、電源配線の電源ドロップ値を見込み易くすることができるとともに、当初見込んだ電源ドロップ値と実際の電源ドロップ値とのずれを小さくすることができ、さらに内部レベルの均一化を容易に行うことができる優れた効果がある。

4. 図面の簡単な説明

第1図(a)、(b)は本発明の一態様における原理説明図、

第2～8図は本発明をゲートアレイに具体化した一実施例を示すものであり、

第2図はゲートアレイにおける電源配線とセルのレイアウト図、

第3図は電源変動補償用バイアスセルと内部セルの一例を示すブロック回路図、

第4、5図はそれぞれ子バイアスセルの一例を示す電気回路図、

第6図はゲート回路の一例を示す電気回路図、

第7、8図はそれぞれセル位置とセル印加電圧との関係を示すグラフ、

第9、10図はそれぞれ従来の電源配線を示すレイアウト図である。

図において、

1 は基板、

2 は内部セル領域、

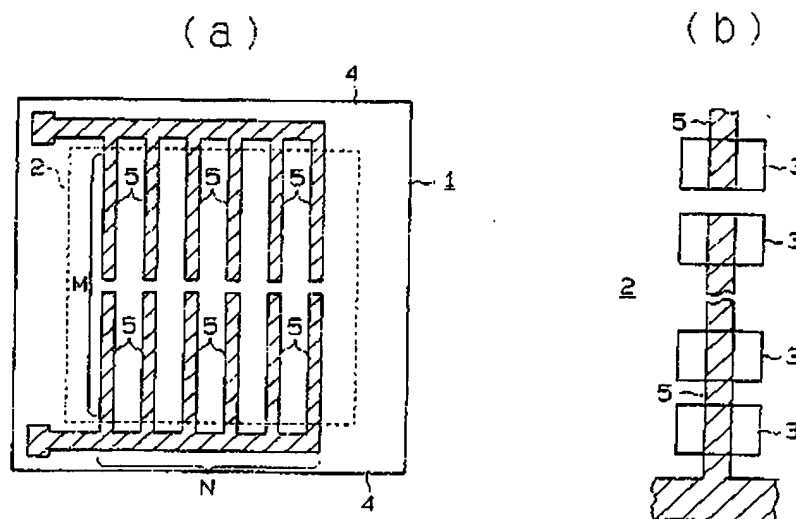
3 は内部セル、

4 は入出力セル領域、

5 は電源配線である。

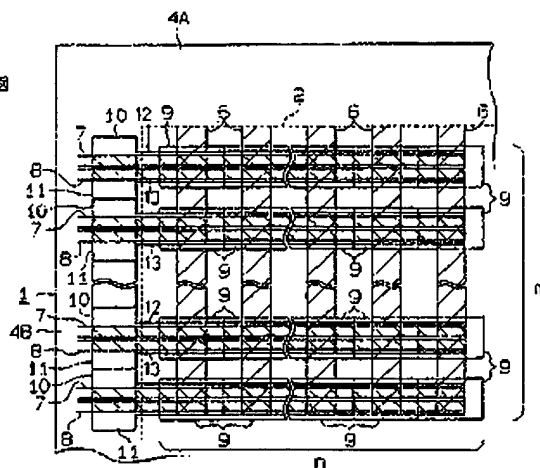
第 1 図

本発明の一態様における原理説明図



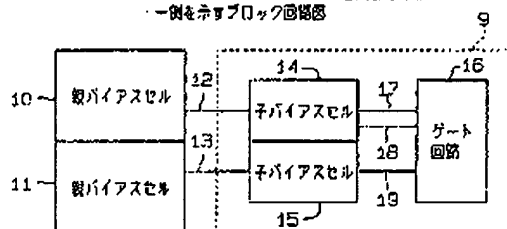
特開平 3-250735 (5)

第 2 図
ゲートアレイにおける電源線とセルのレイアウト図

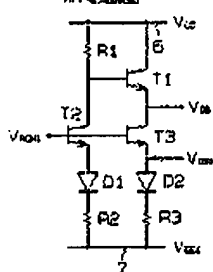


第 3 図

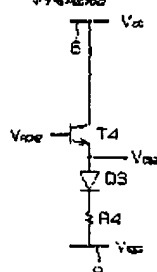
電源自動制御バイアスセルと内部セルの
一例を示すブロック回路図



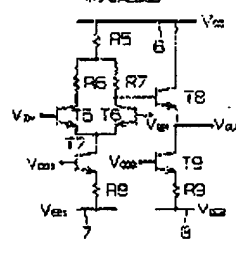
第 4 図
子バイアスセルの一例を
示す電路図



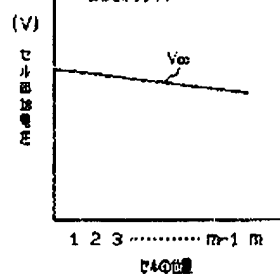
第 5 図
子バイアスセルの一例を
示す電路図



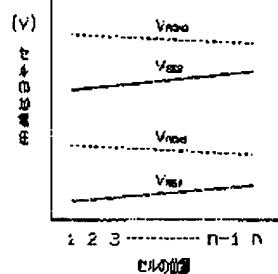
第 6 図
ゲート回路の一例を
示す電路図



第 7 図
セル位置とセル内部電圧との
関係を示すグラフ



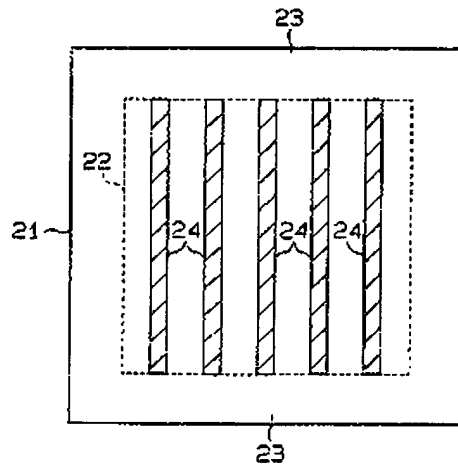
第 8 図
セル位置とセル内部電圧との
関係を示すグラフ



特開平 3-250735 (B)

第 9 図

従来の電線配線を示すレイアウト図



第 10 図

従来の電線配線を示すレイアウト図

